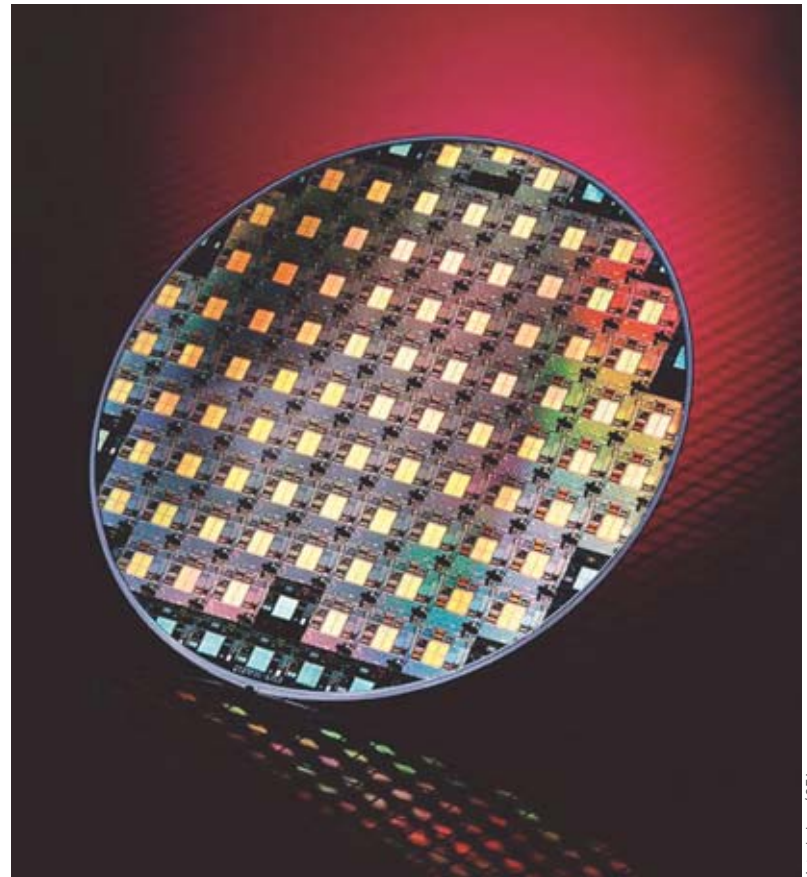


Substrats et matériaux : course à la miniaturisation

À ce jour, chaque nouvelle puce électronique est deux fois plus puissante que la précédente.

À ce rythme, en 2022, la longueur des transistors n'excèdera pas les dix nanomètres et une couche de matériaux isolants, les quelques atomes. Les limites de la matière physique pourraient bientôt être atteintes, la rupture technologique semble donc inévitable. Voire ! Car certains chercheurs avancent déjà que ces limites seraient contournables.

Dès 1965, et donc bien avant la réalisation du premier **microprocesseur** qui date de 1971, l'Américain Gordon Moore formulait une loi empirique stipulant que les performances des **circuits intégrés** doubleraient tous les dix-huit mois environ, à coût constant. Chimiste de formation, sa renommée lui vient d'**INTEL**, société co-fondée, en 1968, avec Robert Noyce et Andrew Grove et qui se hisse rapidement au rang de premier fabricant mondial de microprocesseurs. Cette loi, qui porte désormais son nom, Gordon Moore la révisé, en 1975, pour préciser que le nombre de **transistors** des microprocesseurs (et non plus de simples circuits intégrés) doublerait tous les deux ans (figure 1). Impliquant une diminution régulière et drastique de la taille des transistors élémentaires, ce



Artechnique/CEA

Tranche de silicium de 200 mm de diamètre avec puces électroniques.

rythme a gouverné l'industrie **microélectronique** tout au long des quarante dernières années. Pourtant, si un accroissement des performances a pu être atteint et maintenu pendant longtemps, ce fut notamment grâce à la réduction des dimensions géométriques des transistors et à l'utilisation de

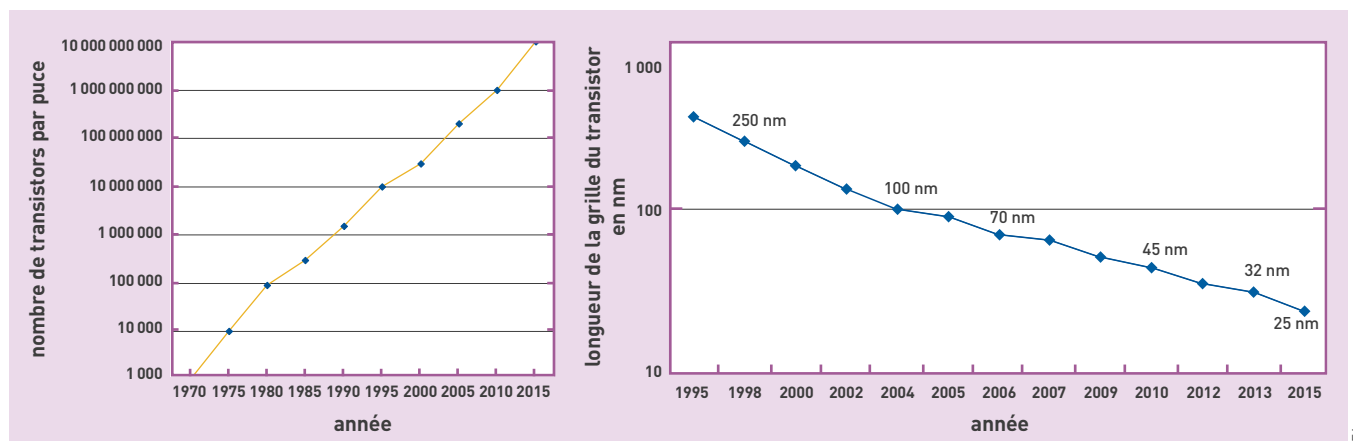


Figure 1.

La courbe de gauche représente l'évolution du nombre de transistors par puce de silicium au cours des dernières années. Ce qui permet cette augmentation du nombre de transistors, donc de la puissance de la puce, c'est la diminution de la taille des transistors. La courbe de droite représente l'évolution de la longueur du canal du transistor au cours des dernières années.

Machine utilisée pour
l'ingénierie des
substrats.



Gérard Cottet/CEA

matériaux classiques de la microélectronique : le **silicium** et la silice pour les grilles des transistors et l'**aluminium** pour les interconnexions métalliques. Désormais, il en va tout autrement. En effet, pour maintenir les performances électriques, la réduction des dimensions latérales des transistors doit s'accompagner d'une autre réduction, celle de l'épaisseur des couches les composant et notamment, celle de l'**oxyde** de grille (voir encadré). Dans cette configuration, à partir du nœud technologique situé à 32 **nanomètres** (nm), ces épaisseurs deviennent si faibles que les matériaux classiques ne peuvent plus tenir les tensions de fonctionnement sans occasionner d'importantes fuites électriques. Parallèlement, l'augmentation du nombre de transistors sur une même surface de silicium, s'accompagne d'une diminution de la section des pistes conductrices qui les connectent, ce qui a pour effet d'entraîner une augmentation de la résistance et des constantes de temps dans les interconnexions. Si l'on comprend bien l'effet néfaste de l'augmentation de la résistance (consommation électrique des circuits), la constante de temps, produit de la résistance par la capacité des interconnexions métalliques (qui augmente aussi avec la diminution des dimensions), est une image du retard que prend un signal pour aller d'un transistor à l'autre et donc de la dégradation de la rapidité des circuits. Aussi, pour continuer dans le sens de la loi de Moore, tout en tenant compte des problèmes technologiques que cela pose, les chercheurs étudient trois approches :

- le développement de nouveaux matériaux et procédés visant à diminuer toujours plus les dimensions des transistors – il s'agit de l'approche dite *More Moore* ; elle consiste à pousser l'évolution actuelle jusqu'aux limites ultimes du silicium ;
- le développement de technologies alternatives et de technologies d'assemblage qui permettent d'ajouter de nouvelles fonctions sur la puce en optimisant la compacité des systèmes – c'est l'approche dite *More than Moore* ;
- le développement de composants, basés sur une approche dite *bottom up*, construite à partir des propriétés de nanomatériaux ou mettant en œuvre des principes différents du transfert de charge comme

les composants à base de **carbone** (**graphène**) ou l'électronique de **spin**, par exemple, destinés à prendre la relève des technologies actuelles une fois parvenues à leurs limites physiques. Cette approche se nomme *Beyond CMOS* (pour *Complementary Metal Oxide Semi-conductor*) parce qu'elle va au-delà de ces limites – le sens du terme anglais *beyond*.

Les matériaux, une clé pour la poursuite de la loi de Moore

La diminution des dimensions géométriques des transistors n'étant plus suffisante pour assurer l'augmentation des performances des circuits décrite par la loi de Moore, a entraîné la mise en œuvre de nouveaux matériaux dotés de propriétés supérieures à celles des matériaux classiques.

Transistors : de l'oxyde de grille aux matériaux *High K*

Dans l'approche *More Moore*, la première difficulté à résoudre a été de contourner les problèmes de fuites électriques induits par l'extrême finesse des couches de matériau composant les **diélectriques** de grille (voir encadré). D'où le développement de nouveaux matériaux à plus grande **permittivité**, dits *high-K*, capables de réagir fortement au champ électrique appliqué. Ces derniers présentent l'intérêt de pouvoir conserver un bon couplage grille/canal en conservant une épaisseur plus élevée et de pouvoir offrir la possibilité de concevoir de nouveaux empilements pour les mettre en œuvre et continuer ainsi à répondre aux spécifications de l'**ITRS**⁽¹⁾.

Ainsi, grâce à l'introduction de matériaux dotés d'une permittivité diélectrique plus élevée que celle de la silice, il devient possible de limiter le courant de fuite du transistor. Un tel résultat s'obtient en déposant une épaisseur de matériau plus importante

(1) L'*International Technology Roadmap for Semi-conductors* (ITRS) est un organisme qui rassemble des experts internationaux (dont le Leti) et qui s'est fixé pour mission de traduire en chiffres, chaque année, l'évolution de la loi de Moore. Ses recommandations sont le reflet des réflexions émanant des experts de toutes les sociétés et de tous les laboratoires qui en font partie. Ces recommandations sont une sorte de *consensus* au niveau mondial.

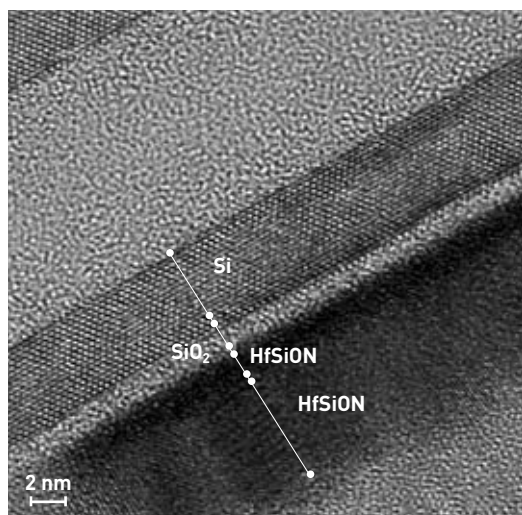


Figure 2.
Empilement de couches diélectriques et métalliques pour la grille d'un transistor : silicium (Si), silicate de hafnium (HfSiO), nitrure de titane (TiN).

que le dioxyde de silicium (SiO_2), et cela tout en conservant la même valeur de capacité. Pour les chercheurs, notamment ceux du Laboratoire d'électronique et des technologies de l'information (Leti), ce fut une opération complexe qui nécessita une décennie de travaux. Ceux-ci aboutiront à la mise au point de matériaux à base d'oxyde d'hafnium (HfO_2), puis de ses alliages, notamment le silicate (HfSiOx). Dans certaines conditions, celui-ci peut rester amorphe et donc offrir des caractéristiques électriques (*gap* et *overlap* de bande avec le silicium⁽²⁾) tout en augmentant de manière significative la permittivité du matériau.

D'autres études ont montré la nécessité d'intercaler une couche très fine de silice (quelques dixièmes de nm), entre le silicium et le matériau *High K*, pour que les propriétés des transistors, notamment la mobilité des porteurs de charge du canal, puissent se maintenir. Ces études confirment les propriétés incontournables de l'interface Si/ SiO_2 . Il est donc nécessaire de transformer l'isolant de grille en une bicouche $\text{SiO}_2/\text{High-K}$ très sophistiquée (figure 2). Dans cette bicouche, la croissance d'une silice de quelques monocouches atomiques s'obtient sous oxygène atomique. Il s'agit d'une espèce d'oxygène très réactif où les atomes de la molécule habituelle d'oxygène sont séparés l'un de l'autre. Cette forme d'oxygène ne peut être obtenue que dans un plasma, état particulier de la matière où les atomes et leurs électrons sont séparés. Le silicate est ensuite déposé avec des précurseurs gazeux spécifiques du silicium et du hafnium qui, en se décomposant, donnent naissance aux diverses couches de matériaux solides.

Des métaux dans les grilles

Au remplacement du SiO_2 par des matériaux *High K*, s'ajoute une autre substitution : celle du polysilicium par un matériau conducteur métallique. Cela s'explique par le fait que les grilles en polysilicium, même fortement dopées, présentent, à l'interface avec l'oxyde, une zone dépourvue d'électrons, qui diminue la capacité électrique globale de la grille et donc la

performance du transistor. D'où l'introduction de nitrure de titane (TiN) qui présente une conduction de type métallique et dont les niveaux d'énergie sont bien placés par rapport à ceux du diélectrique et du silicium et cela, aussi bien pour les transistors « N » et « P » (voir encadré). Rendre ce métal compatible avec le matériau *High K* demeure une opération complexe. Aujourd'hui, une solution prévaut. Elle consiste à traiter la surface du matériau *High K* avec de l'azote afin de créer des liaisons azotées stables et obtenir ainsi un matériau compatible avec le nitrure de titane. Parmi les paramètres notables de l'opération figurent la quantité d'azote et sa profondeur de pénétration. En effet, une quantité excessive d'azote à proximité de l'interface dégrade les performances et la fiabilité des transistors. Ici encore, l'utilisation d'un plasma permet de maîtriser le confinement de l'azote dans des couches de matériau *High K* dont l'épaisseur se situe aux alentours de 1,5 à 2 nm.

Les études, menées par les équipes du Leti, ont permis d'obtenir des transistors à très basse consommation⁽³⁾ qui présentent l'avantage de réduire considérablement

(2) Tous les matériaux isolants et semi-conducteurs possèdent une structure de bandes qui représente les gammes d'énergie des électrons autour d'un atome. Dans les basses énergies, les électrons restent autour de leur atome et participent à la liaison chimique entre les atomes (c'est la bande de valence). Dans les hautes énergies, les électrons possèdent assez d'énergie pour s'échapper de leur atome et conduire le courant électrique (c'est la bande de conduction). Entre ces deux bandes, il existe une gamme de valeur interdite pour les électrons (c'est la bande interdite ou *gap*). Cette bande a une largeur nulle dans les métaux, moyenne dans les matériaux semi-conducteurs et très grande dans les isolants. Pour qu'un transistor marche bien, il faut que la bande interdite de l'isolant soit grande devant celle du silicium, mais aussi qu'elle soit bien placée par rapport à celle-ci (c'est l'*overlay* ou, en français, le recouvrement).

(3) Low Power en technologie Fully Depleted SOI.



Opérateurs dans la zone de photolithographie, devant la machine d'exposition pour des tranches de 300 mm.

la consommation des circuits en électricité (figure 3). Ces résultats découlent de l'utilisation de substrats SOI (Si/SiO₂/Si), à **couche très mince** de silicium (voir le chapitre consacré à l'ingénierie des substrats).

Pour les filières les plus performantes, en termes de rapidité, l'intégration de grilles *High K*/métal se complexifie avec l'introduction de deux métaux différents côtés « N » et « P » destinés à maintenir de faibles tensions de seuil, condition nécessaire pour garder une faible consommation électrique tout en augmentant les performances. Si des solutions existent pour fabriquer le transistor de type NMOS, en revanche, des mécanismes **physicochimiques** complexes rendent beaucoup plus difficile la réalisation des grilles métal de type PMOS. En effet, parvenir à une épaisseur électrique d'à peine un nanomètre, requise par les filières de hautes performances les plus avancées, passe par la diminution de l'épaisseur de la silice interfaciale. À ce niveau, les propriétés électriques de la grille se dégra-

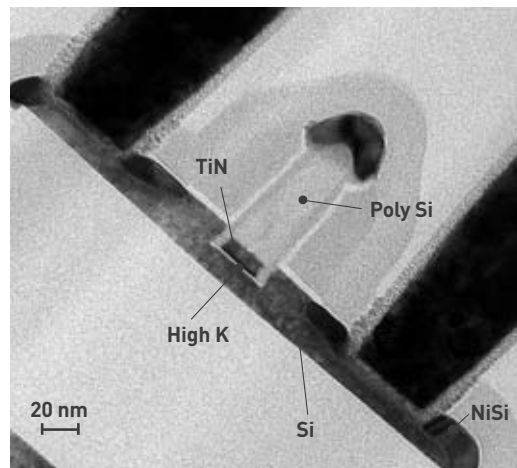


Figure 3. Transistor MOS (pour Metal Oxide Semi-conductor) à grille High K-nitrure de titane (TiN) en technologie de silicium (Si) sur isolant. On y voit l'ensemble des empilements de matériaux qui permettent de réaliser les transistors des microprocesseurs : silicium polycristallin, titane (TiN), hafium (HfO₂), nickel (NiSi).

dent en raison de son interaction avec le matériau de haute permittivité par traitement thermique (déplacement d'oxygène, création de lacunes...).

Dans les assemblages traditionnels CMOS (pour *Complementary Metal Oxide Semi-conductor*), la grille une fois réalisée subit un traitement thermique à température élevée qui entraîne l'activation des dopants de jonctions. Il s'agit d'un procédé qui demeure très attractif car simple et peu coûteux. Néanmoins, aujourd'hui, les chercheurs lui préféreraient la technique dite *Damascène* qui s'apparente aux techniques utilisées par les anciens habitants de la région de Damas (la Damascène) pour réaliser des incrustations de métaux enchâssés dans un fond de métal sombre. Cette technique consiste d'abord à graver la couche d'isolant, puis à réaliser un dépôt de couches critiques de métaux de grille et enfin à les polir pour ne laisser que les parties utiles. Cette opération a lieu en fin de procédé, après les recuits à haute température, afin que ceux-ci ne détruisent pas les propriétés intrinsèques des matériaux.

Matériaux : le substrat silicium évolue aussi

Si les matériaux et les technologies dédiés à la grille de commande des transistors évoluent, il en va de même des matériaux **semi-conducteurs**, le silicium notamment. Ces mutations en stimulent les propriétés, particulièrement la mobilité des porteurs.

La technique utilisée, l'**épitaxie**, consiste à réaliser un dépôt de couches monocristallines qui soit en cohérence avec le silicium du substrat. Autrement dit, il s'agit de faire croître une couche de matériau semi-conducteur sur un substrat, cette couche ayant la même orientation cristalline que le substrat (figure 4). La maîtrise de cette technique a permis au Leti de mettre au point des procédés de croissance destinés à différents **alliages** de silicium, de **germanium** et de carbone. L'opération s'effectue, sélectivement ou non, par rapport aux couches sous-jacentes, et/ou en contrainte, en tension ou en compression, par rapport au substrat de silicium du fait des paramètres de maille différents du silicium, du germanium et du carbone.



Opérateur chargeant la machine d'exposition par faisceau d'électrons. Cette machine permet de réaliser des motifs inférieurs à 11 nm sur les tranches de silicium de 300 mm de diamètre.

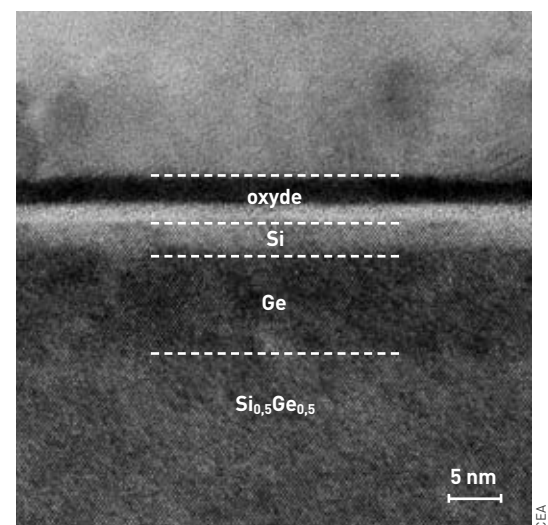


Figure 4. Image en microscopie électronique, en transmission, d'une bicouche. L'image montre du germanium (Ge) en compression (8 nm) et du silicium (Si) en tension (5 nm) déposés sur une couche très épaisse de l'alliage silicium/germanium. L'oxyde constitue la grille du transistor.

Selon la nature des contraintes et la composition chimique des couches, les chercheurs sont parvenus à multiplier, de 2 à 10, la mobilité des électrons et des trous dans le canal de conduction des transistors MOS (pour *Metal Oxide Semi-conductor*) – voir encadré. Mettant à profit la différence entre la vitesse de gravure du silicium et celle de l'alliage silicium/germanium, ces mêmes chercheurs sont également parvenus à graver latéralement des couches d'alliage silicium/germanium, sélectivement par rapport à du silicium, et à empiler des canaux de conduction, les uns sur les autres. D'où un gain important en quantité d'intégration.

Des milliards de transistors à interconnecter

Avec la diminution de la taille des transistors, les chercheurs peuvent désormais concevoir des circuits intégrés de plus en plus complexes, comportant jusqu'à plusieurs milliards de transistors (figure 5). Pour ces chercheurs, le défi consiste à interconnecter ces composants. Il ne s'agit pas d'une opération simple en raison de la longueur accrue des conducteurs métalliques (la longueur cumulée sur une puce dépassant le kilomètre), de leur finesse toujours plus grande et de leur proximité les uns avec les autres. Aussi, l'aluminium et le SiO_2 , utilisés jusqu'au milieu des années 1990 dans des structures comportant seulement un ou deux niveaux de connections, font-ils place désormais à de nouveaux matériaux aptes à réduire la résistance des lignes conductrices et les couplages entre les lignes voisines. Il en a résulté une diminution des temps de propagation des signaux, de la *diaphonie* entre pistes (*cross talk* ou passage non souhaité d'un signal entre deux pistes) et de la consommation. Y parvenir, supposait d'introduire des matériaux conducteurs électriques de qualité accrue. Le **cuivre** est apparu comme un excellent candidat pour réduire la résistance des lignes. De même, des diélectriques dotés d'une très faible permittivité relative ont permis de diminuer les couplages entre pistes voisines.

L'introduction de ces matériaux a nécessité plus de dix ans de travaux. La principale difficulté à résoudre concernait le cuivre. En effet, ce métal figure parmi les principaux « poisons » du silicium en raison de sa capacité à diffuser très rapidement et à tuer la durée de vie des porteurs. Aussi, a-t-il fallu développer des barrières métalliques, fines et peu résistives, capables d'empêcher la diffusion du cuivre dans le silicium et de conserver ainsi toutes leurs performances aux composants. Cette difficulté résolue, une autre a surgi : l'impossibilité de graver le cuivre avec les techniques classiques de gravure comme c'était le cas avec l'aluminium. Pour surmonter l'obstacle, les chercheurs mettront au point une technologie inédite capable de manipuler le cuivre, la technologie dite *Damascène* décrite précédemment laquelle opère en trois temps : graver le diélectrique, le remplir de métal puis éliminer le métal excédentaire par un polissage mécanochimique. Du côté des diélectriques, c'est en introduisant d'abord du carbone dans la silice, puis en augmentant la **porosité** de la matrice, que l'on a fait diminuer la permittivité.

Aujourd'hui, les chercheurs étudient de nouvelles approches d'intégration appelées, soit à remplacer

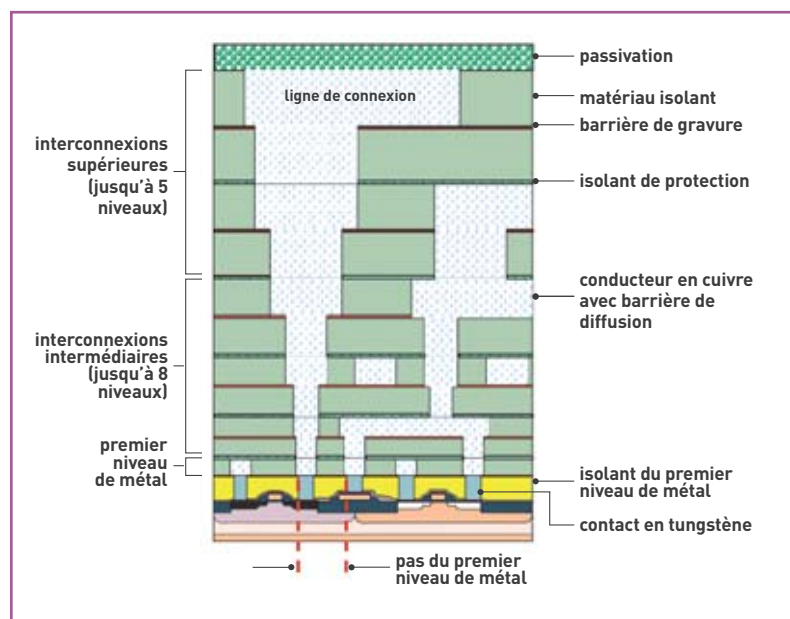


Figure 5. Coupe d'un circuit intégré actuel pouvant comporter jusqu'à huit niveaux d'interconnexions.

les diélectriques par de l'air, soit à connecter les différents niveaux de métallisation avec des **nanotubes de carbone**.

L'ingénierie des substrats : des matériaux innovants pour des applications en rupture

Les performances des matériaux et des procédés dédiés à la nanoélectronique demeurent toujours très dépendantes de la qualité des substrats sur lesquels ces matériaux sont développés. Pendant longtemps, le silicium a pu garantir ces performances. Aujourd'hui, les chercheurs veulent aller plus loin et ne plus se limiter à l'étude de nouveaux empilements. Leur ambition vise le substrat lui-même : parvenir à structurer les matériaux de base, associer dans un même substrat des matériaux différents, voire réaliser les procédés de fabrication des composants sur un substrat différent de celui sur lequel ils seront ensuite utilisés. Au Leti, l'ingénierie des substrats se développe autour d'un procédé nommé *Smart Cut™*, exploité par la société **Soitec**, leader mondial de la fourniture de substrats SOI (pour *Silicon On Insulator*). Associé à des techniques de report de couches minces, ce procédé permet d'accéder à des performances toujours supérieures, aussi bien par l'approche *More Moore* que par celle *More than Moore*.

Malgré tous les développements technologiques évoqués précédemment, il n'en demeure pas moins que, lorsqu'il s'agit de réduire la taille d'un transistor, le couplage grille/canal tend à devenir de plus en plus faible au regard du couplage source/drain (voir encadré). Reste donc à contenir cette perte de contrôle électrostatique en concevant et en réalisant les circuits CMOS sur des substrats innovants – par exemple, le substrat SOI. Aujourd'hui, il s'agit d'un produit parvenu à maturité, présent dans la feuille de route des plus grands fabricants mondiaux de circuits intégrés (**IBM**, **Freescale**, **AMD**...). Pour filer la métaphore, le substrat SOI se présente comme un



Artechnique / CEA

Tranches de germanium sur isolant (GeOI). Substrat réalisé par le procédé *Smart cut™* (en bas) et tranche avec puce (en haut).

sandwich avec une tranche de silicium massif, une couche mince d'oxyde (oxyde enterré/*Buried OXide* ou BOX) et une autre couche mince de silicium où se réalisent les composants.

Inventeur du procédé *Smart Cut™*, le Leti et son partenaire Soitec figurent en tête de la course à la performance menée autour des différents substrats SOI. Cette position prépondérante s'explique par le

type de travaux menés dans ce laboratoire, à savoir une recherche couplée composants/substrats qui va encore plus loin dans la poursuite de la loi de Moore. Grâce au procédé *Smart Cut™*, des circuits très performants et à très basse consommation ont pu voir le jour. Poussé plus loin, ce procédé devrait permettre de réduire l'épaisseur des couches d'oxyde et de silicium pour conserver les performances des canaux très courts, tout en améliorant leur contrôle électrostatique par l'utilisation du substrat lui-même comme *électrode* – d'où l'appellation de substrats UTBox (pour *Ultra Thin Box*).

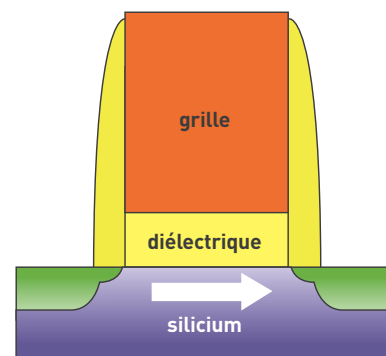
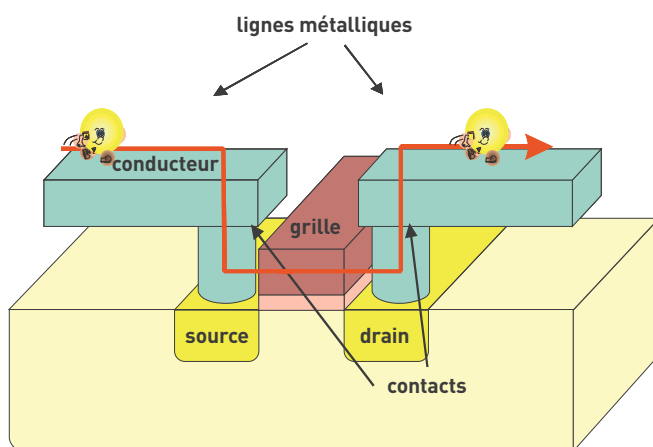
De nouveaux *sandwiches*, composés d'autres matériaux que le silicium, devraient naître du procédé *Smart Cut™*. Leur mission sera d'améliorer la mobilité des porteurs en induisant des contraintes (sSOI pour *Strained Silicon On Insulator*) ou en améliorant les propriétés des transistors de type « P » avec du germanium, un élément qui présente une meilleure mobilité des porteurs de charge positive (GeOI).

Enfin, le procédé *Smart Cut™*, et plus généralement les procédés de report de couches minces, favorisent la poursuite de la loi de Moore, avec l'approche *More than Moore*, dans deux domaines : les fonctions périphériques du circuit CMOS et les composants de puissance. Dans ce cas, il s'agit soit de reporter des matériaux fonctionnels sur des circuits en silicium (par exemple, le transfert de couches monocristallines de matériaux *piézoélectriques*) pour réaliser des filtres de *radiofréquence*, soit de transférer les couches actives sur des substrats transparents (pour

Un transistor, comment ça marche ?

Le transistor MOS (pour *Metal Oxide Semi-conductor*), c'est le *composant* de base de la *microélectronique*. Il en existe deux sortes qui se distinguent en fonction du type de *dopage* utilisé pour le silicium qui entre dans leur composition.

- Le transistor NMOS (pour *Negative Metal Oxide Semi-conductor*) s'obtient à partir d'une tranche de *silicium* de type « P » (figure a), à laquelle viennent s'ajouter deux zones de type « N » réalisées par l'implantation de dopant : il s'agit du drain et de la source



CEA

Figure a.
À gauche, schéma de principe d'un transistor MOS (*Metal Oxide Semi-conductor*) et à droite, coupe d'un transistor MOS.

la réalisation d'imageurs) ou sur des substrats bons conducteurs thermiques (pour des composants de puissance).

Et demain ?

Les processeurs les plus avancés utilisent la technologie 45 nm et l'étape suivante, à 32 nm, devrait aboutir dans le courant de l'année 2010. Le Leti travaille déjà sur les générations suivantes : 22 nm, 16 nm et 11 nm. À ces échelles, le canal d'un transistor MOS ne se compose plus que d'une centaine d'atomes mis bout à bout. Sachant que les niveaux de dopage du silicium s'établissent à un atome sur 10 000 environ, deux questions interrogent aujourd'hui les chercheurs : où l'atome de dopant se situe-t-il dans le canal ? Voire même, en existe-t-il au moins un ? Et pourtant, même à ces dimensions, tout laisse à penser que les performances des transistors atteindront celles fixées par la feuille de route de l'ITRS. Mais, une fois atteint le seuil d'un atome unique, qu'advient-il des travaux des chercheurs ? Sans doute devront-ils concevoir d'autres matériaux et découvrir d'autres effets physiques pour rester en tête de la course à la performance sur les matériaux du futur. Le carbone pourrait bien figurer comme un bon candidat au *podium*, d'où les études qu'il suscite déjà. Ainsi, sous forme de graphène, une feuille d'hexagones de carbone, à peine épaisse d'un atome, peut se comporter, soit comme un métal, soit comme un matériau semi-conducteur. En effet, un électron peut s'y déplacer sans perte, à la manière d'un solide lancé

dans le vide qui se déplacerait indéfiniment : il n'en a coûté que l'énergie de le lancer. Enroulé sur elle-même, une telle feuille de graphène prend le nom de nanotube de carbone, un matériau capable de réaliser des interconnexions très efficaces, voire même de former le canal d'un transistor. Sous sa forme de diamant, le carbone se positionne comme un excellent isolant électrique, doté d'une conductivité thermique élevée, utilisable pour élaborer des substrats innovants alternatifs au SOI. Déjà, le SOD (*Silicon on Diamond*) s'annonce comme capable de gérer la forte densité de chaleur générée par le fonctionnement des circuits intégrés. Au-delà des matériaux, d'autres effets traduiront, sans doute, les « 0 » et les « 1 » sur lesquels est basée toute l'informatique. Grâce à la **spintronique**, des ordinateurs d'un type nouveau verront bientôt le jour. Dans la course aux technologies de l'information, les chercheurs sont toujours parvenus à détourner les limites physiques des matériaux pour les utiliser à leur avantage. Il semblerait que cette course ne soit limitée que par l'imagination humaine. Nous ne sommes donc pas près d'en voir la fin !

> **Jean-Jacques Aubert, Thierry Billon, Laurent Clavelier, Olivier Demolliens, Jean-Michel Hartmann, Didier Louis et François Martin**

Institut Leti (Laboratoire d'électronique et des technologies de l'information)
Direction de la recherche technologique
CEA Centre de Grenoble

par où vont entrer et sortir les **électrons**. Entre ces deux électrodes, une troisième vient s'insérer. Appelée « grille », elle définit le canal du transistor. Elle se compose d'une couche isolante (l'oxyde de grille) recouverte d'un conducteur métallique. En l'absence de tension appliquée à la grille, le canal de type « P » forme deux **diodes** avec le drain et la source, dont l'une s'oppose au passage du courant. Dans ce cas, comme dans celui d'une tension négative, le transistor reste fermé. En revanche, avec une tension positive sur la grille, celle-ci repousse les trous du silicium de type « P », créant ainsi le canal qui permettra le passage du courant entre la source et le drain. Le transistor est alors ouvert.

- Le transistor PMOS (pour *Positive Channel Metal Oxide Semiconductor*) se réalise comme le NMOS à ceci près que le substrat de silicium y est de type « N » tandis que le drain et la source sont de type « P ». Ce transistor s'ouvre par application d'une tension négative sur sa grille.

Il est possible d'associer un NMOS et un PMOS pour former un inverseur **CMOS** (pour **Complementary MOS**). Dans cette technologie, un des deux transistors reste bloqué tandis que l'autre est passant. En changeant la polarité de la commande A, on fait changer celle de la sortie Q (figure b). Ainsi, à la commutation de l'inverseur, aucun courant ne circule dans le

système. Le passage du courant, et donc la dépense d'énergie, n'intervient qu'en phase de commutation. Cette propriété assure une très basse consommation et une grande immunité au bruit – d'où son succès.

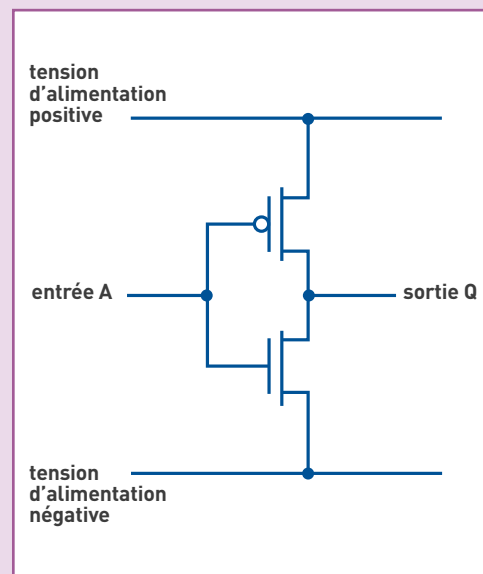


Figure b.
Schéma d'un inverseur CMOS.